

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor : **Hiroaki YAMAMOTO, et al.**  
Filed : **Concurrently herewith**  
For : **BUFFER MEMORY MANAGEMENT....**  
Serial No. : **Concurrently herewith**

November 26, 2003

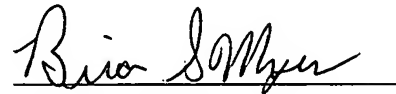
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**PRIORITY CLAIM AND**  
**SUBMISSION OF PRIORITY DOCUMENT**

S I R:

Applicant hereby claims priority under 35 USC 119 from **Japanese** patent application number **2002-344424** filed **November 27, 2002**, a certified copy of which is enclosed.

Respectfully submitted,



Brian S. Myers  
Reg. No. 46,947

Katten Muchin Zavis Rosenman  
575 Madison Avenue  
New York, NY 10022-2585  
(212) 940-8800  
Docket No.: FUJH 20.767

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 1 月 2 7 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 3 4 4 4 2 4  
Application Number:

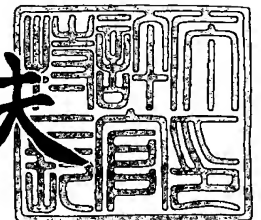
[ST. 10/C] :                      [ J P 2 0 0 2 - 3 4 4 4 2 4 ]

出      願      人                      富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 1 月 1 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0252349

【提出日】 平成14年11月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 12/02

【発明の名称】 バッファメモリ管理方法及びシステム

【請求項の数】 5

【発明者】

【住所又は居所】 福岡県福岡市博多区博多駅前三丁目 2 2 番 8 号 富士通  
九州デジタル・テクノロジー株式会社内

【氏名】 山本 浩明

【発明者】

【住所又は居所】 福岡県福岡市博多区博多駅前三丁目 2 2 番 8 号 富士通  
九州デジタル・テクノロジー株式会社内

【氏名】 宮原 誠司

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒徳

【選任した代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【手数料の表示】

【予納台帳番号】 030708

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

**【書類名】 明細書****【発明の名称】 バッファメモリ管理方法及びシステム****【特許請求の範囲】****【請求項 1】**

受信したパケットをバッファメモリに格納し、前記バッファメモリへのパケットの書込み及び、読み出し制御を行うパケット送受信装置における前記バッファメモリの管理方法であって、

受信するパケットのヘッダ部分に含まれるサービスクラス単位に、前記制御方法を設定し、

受信パケットの格納を行う前記バッファメモリにおける各サービスクラスについての割り当て領域を前記サービスクラスの設定数に応じて変更する

ことを特徴とするバッファメモリ管理方法。

**【請求項 2】 請求項 1 において、**

前記制御は、パケットに対する遅延、パケットロス、パケット順序逆転若しくは、エラー挿入であり、前記サービスクラスは、前記パケットのヘッダ部分に含まれる IP アドレス又は、TCP/UDP ポート番号によって分類されることを特徴とするバッファメモリ管理方法。

**【請求項 3】**

受信パケットを格納するバッファメモリと、

前記バッファメモリへのパケットの書込み及び読み出し制御を行なう制御部と

受信パケットのヘッダ部分に含まれるサービスクラスに対応したパケットの前記制御方法を設定したサービスクラス特性テーブルと、

サービスクラスに対応した前記バッファメモリの割り当て領域記憶した変換部を有し、

該変換部は、前記バッファメモリの割り当て領域を前記サービスクラス特性テーブルにおけるサービスクラスの設定数に応じて変更する

ことを特徴とするパケットバッファ管理システム。

**【請求項 4】 請求項 3 において、**

前記変換テーブルは、バッファメモリの割り当て領域をサービスクラス単位としたことを特徴とするパケットバッファ管理システム。

【請求項 5】 請求項 3 において、

前記パケットバッファに格納されたパケットの格納位置を示す転送ポイントおよびパケットが格納された時間を示すタイムスタンプ値を格納するための管理メモリを有し、

前記制御部により前記パケットバッファ内のパケット存在情報と前記タイムスタンプ値及び、前記サービスクラス特性テーブルに設定された制御方法に基づき受信パケットに対する制御を行うことを特徴とするパケットバッファ管理システム。

【発明の詳細な説明】

【 0 0 0 1】

【発明が属する技術分野】

本発明は、ルータ等のパケット交換を行う装置を模擬するネットワーク模擬装置におけるパケットを格納するバッファメモリの管理方法及びこれを用いるネットワーク模擬装置におけるバッファメモリの管理システムに関する。

【 0 0 0 2】

【従来の技術】

近年の I P (Internet Protocol) ネットワークにおいては、音声または画像というようなりアルタイム性の高いトラフィックが増加しており、これらのトラフィックに関し、ネットワークを構成するルータやスイッチなどパケット交換を行う装置における遅延・パケットロスなどのパケット状態が、エンドユーザにおける通信・通話品質に大きく影響する。

【 0 0 0 3】

したがって、ネットワークにおけるパケット状態を設定により擬似的に発生し、ネットワーク品質を模擬試験することが要求される。

【 0 0 0 4】

一方、ネットワークを構成するルータやスイッチなど、パケット交換を行なう装置において、パケットを格納するバッファメモリ(以降、適宜パケットバッフ

ァという)が用いられている。かかるパケットバッファは、受信パケットを一時的に蓄積し、所定の規則に従って送出するために用いられる。

#### 【0 0 0 5】

したがって、前記のネットワーク品質を模擬試験するための装置においてもパケットバッファを備え、一旦パケットを格納し、設定された処理に従ってパケット転送を行う制御を行なうことが必要となる。このようなパケットバッファの管理により、パケットに対する各種処理が模擬的に実現される。

#### 【0 0 0 6】

従来のパケットバッファ管理は、ネットワークから受信したパケットのヘッダ部の識別結果に応じて固定的に領域を割り当てられたパケットバッファに格納して、設定されたパケット特性に応じた転送が実施されていた。(例えば、特許文献1)

#### 【0 0 0 7】

##### 【特許文献1】

特許出願 2 0 0 1 - 1 4 3 7 0 2 号の図 1 4 参照

かかる出願に記載のパケットバッファを用いたネットワークを構成するルータ相当の装置の構成ブロックを図 1 7 に示し、その動作を説明する。

#### 【0 0 0 8】

図中、多重化部 1 において、複数  $n$  個のポートのイーサネットを多重化する。パケット種別識別制御部 2 は、多重化部 1 で多重化されたパケットのヘッダ部における IP アドレス等の識別情報を元に連想メモリ (CAM: Content Addressable Memory) 3 を参照して登録情報と比較する。比較が一致する場合は、TCP/UDP ポート番号などによって分類されるサービスクラス (CoS: Class of Service) を識別する TAG 情報を SRAM 4 から読み出し、パケットに付加して出力する。

#### 【0 0 0 9】

バッファ管理制御部 5 は、パケット種別識別制御部 2 から入力される TAG 情報の付加されたパケットのパケットバッファメモリ 6 への書込み及び読出しの管理を行う。パケットポインタ管理メモリ 7 は、パケットバッファメモリ 6 のパケ



ットの格納しているアドレス位置を特定するアドレスポインタを管理する。

#### 【0010】

前記バッファ管理制御部5は、サービスクラス (CoS) 特性テーブル8を有し、このサービスクラス特性テーブル8には、識別されたパケットに対して、パケットの遅延、パケットロス、パケット順序逆転若しくは、エラー挿入等の動作制御を施す特性内容が格納されている。

#### 【0011】

さらに、バッファ管理制御部5は、パケットバッファメモリ6に対するリード/ライト制御を行うパケットリード/ライト制御部9、パケットポインタ管理メモリ7に記憶されているパケットの格納アドレスに基づき、パケットリード/ライト制御部9によるリード/ライトの際のパケットバッファメモリ6アドレスを指定するポインタリード/ライト制御部10及び、サービスクラス特性テーブル8に設定されているCoS特性に対応して、パケットバッファメモリ6からのパケット出力の制御を行なうパケット出力制御部11を有している。

#### 【0012】

多重分離部12は、多重されたパケットをnポートに分離する機能を有する。

#### 【0013】

図18は、図17におけるパケットバッファメモリ6の構成を示す図であり、①出力先物理ポート番号1～nに対し、②各物理ポートに対するCoSの数(図の例では8種)は固定値である。さらに、③出力先物理ポートに対するCoS番号が特定され、全物理ポートのCoS領域に割り当てられる各々のメモリ量は均一で固定である。また、④各CoS領域のスタートアドレス及びエンドアドレスは固定値である。

#### 【0014】

図18に示すパケットバッファメモリ6の構成となるように、パケットポインタ管理メモリ7にパケットの格納アドレスが記憶されている。従って、パケット種別識別制御部2により識別されたパケットは、パケットポインタ管理メモリ7から読み出され、ポインタリード/ライト制御部10により指示されるアドレス位置にパケットリード/ライト制御部9により書き込まれ、また読み出される。

**【0015】****【発明が解決しようとする課題】**

上記のように図17に示す従来構成では、パケットバッファメモリ6における格納領域は、図18に示されるように固定であった。

**【0016】**

また、図17に示される従来の構成におけるポインタリード/ライト制御部10においては、サービスクラス特性テーブルに従いパケット出力制御に11による管理ポインタの移動量は常に固定されており、擬似ネットワークにおけるさまざまなパケット動作を可能とするための手段は提供されていなかった。

**【0017】**

さらに、図17、図18に示す従来のパケットバッファ管理においては、各物理ポートあるいはCoS領域に割り当てられるメモリ領域は固定である。このために、物理ポート数あるいはCoS領域数の使用数が少ない場合には、パケットバッファメモリ6において、全く使用されないメモリ領域が発生することになる。

**【0018】**

また、転送パケットに遅延を持たせる場合には、設定可能な最大遅延時間は、物理ポート数あるいはCoS領域数に係わらず固定領域サイズにより決められる値であり、メモリを最大限に利用した遅延時間の設定は不可能であった。

**【0019】**

また、従来のバッファ管理方法においては、サービスクラス特性テーブル8の設定に基づく管理ポインタの移動量が常に固定であったため、パケット出力制御部11によるパケットの転送順序の入替え、任意のパケットを意図的にロスさせるなどの擬似ネットワークを実現するために必要な処理を実装することができなかった。

**【0020】**

従って、本発明の目的は、従来のパケットバッファ管理方法に比較して、バッファメモリのハードウェアリソースを最大限に活用することを可能とし、設定された使用物理ポート数あるいはCoS領域数に最適なパケットバッファ管理方法及びシステムを提供することにある。

**【0021】**

また、本発明の目的は、様々なパケット動作を比較的簡単なハードウェアにより、高い処理性能で実現することが可能とすることにある。

**【0022】****【課題を解決するための手段】**

上記の本発明の課題を達成するバッファメモリ管理方法は、第1の態様として、受信したパケットをバッファメモリに格納し、前記バッファメモリへのパケットの書込み及び、読み出し制御を行うパケット送受信装置における前記バッファメモリの管理方法であって、受信するパケットのヘッダ部分に含まれるサービスクラス単位に、前記制御方法を設定し、受信パケットの格納を行う前記バッファメモリにおける各サービスクラスについての割り当て領域を前記サービスクラスの設定数に応じて変更することを特徴とする。

**【0023】**

上記の本発明の課題を達成するバッファメモリ管理方法は、第2の態様として、第1の態様において、前記制御は、パケットに対する遅延、パケットロス、パケット順序逆転若しくは、エラー挿入であり、前記サービスクラスは、前記パケットのヘッダ部分に含まれるIPアドレス又は、TCP/UDPポート番号によって分類されることを特徴とする。

**【0024】**

上記の本発明の課題を達成するバッファメモリ管理システムの第1の態様は、受信パケットを格納するバッファメモリと、前記バッファメモリへのパケットの書込み及び読み出し制御を行なう制御部と、受信パケットのヘッダ部分に含まれるサービスクラスに対応したパケットの前記制御方法を設定したサービスクラス特性テーブルと、サービスクラスに対応した前記バッファメモリの割り当て領域記憶した変換部を有し、該変換部は、前記バッファメモリの割り当て領域を前記サービスクラス特性テーブルにおけるサービスクラスの設定数に応じて変更することを特徴とする。

**【0025】**

上記の本発明の課題を達成するバッファメモリ管理システムの第2の態様は、

バッファメモリ管理システムの第1の態様において、前記変換テーブルは、バッファメモリの割り当て領域をサービスクラス単位としたことを特徴とするパケットバッファ管理システム。

#### 【0026】

上記の本発明の課題を達成するバッファメモリ管理システムの第3の態様は、バッファメモリ管理システムの第1の態様において、前記パケットバッファに格納されたパケットの格納位置を示す転送ポインタおよびパケットが格納された時間を示すタイムスタンプ値を格納するための管理メモリを有し、前記制御部により前記パケットバッファ内のパケット存在情報と前記タイムスタンプ値及び、前記サービスクラス特性テーブルに設定された制御方法に基づき受信パケットに対する制御を行うことを特徴とする。

#### 【0027】

さらに、上記の本発明の課題を達成するバッファメモリ管理システムの第4の態様は、バッファメモリ管理システムの第3の態様において、前記制御部による動作制御として、前記タイムスタンプ値に基づく転送ポインタの移動により受信パケットの順序逆転およびルータの経路変更を行うことを特徴とする。

#### 【0028】

また、上記の本発明の課題を達成するバッファメモリ管理システムの第5の態様は、バッファメモリ管理システムの第1の態様において、前記バッファメモリへのパケットの格納動作、パケット登録動作、転送ポインタリード動作、パケット転送解析動作の各動作を並列に処理することを特徴とする。

#### 【0029】

さらにまた、上記の本発明の課題を達成するバッファメモリ管理システムの第5の態様は、バッファメモリ管理システムの第3の態様において、前記パケットバッファへのパケットの格納時間を前記管理メモリにタイムスタンプとして格納し、パケット転送の解析時に前記タイムスタンプと装置内の基準時間と比較することにより転送可否を判断する手段を有し、設定の遅延時間が経過していない場合に、前記タイムスタンプをサービスクラス単位に設けられるタイムスタンプバッファに格納し、以降の転送解析時には前記タイムスタンプバッファ内のタイム

スタンプと基準時間の比較を行うことを特徴とする。

#### 【0030】

本発明の特徴は、以下に図面に従い説明される実施の形態例から更に明らかに  
なる。

#### 【0031】

##### 【発明の実施の形態】

以下に本発明の実施の形態例を説明する。

#### 【0032】

図1は、本発明のバッファ管理方法を適用する、ネットワーク品質を模擬試験  
する模擬装置の実施の形態例ブロック図である。図17に示した従来構成との比  
較において、変換テーブル13を備えることに特徴を有する。

#### 【0033】

以下の説明において、ネットワークの物理ポート数を0～n番目、CoS識別用  
のIPアドレスの個数を0～N個、CoS特性の種類を0～M個として説明する。

#### 【0034】

図1において、多重化部1は、複数n個のポートのイーサネットを多重化する  
。パケット種別識別制御部2は、CAM3とSRAM4を有し、多重化部1で多  
重化されたパケットのヘッダ部におけるIPアドレス等の識別情報を元に連想メ  
モリ(CAM: Content Addressable Memory)3を参照して登録情報と比較する。

#### 【0035】

比較が一致する場合は、TCP/UDPポート番号などによって分類されるサ  
ービスクラス (CoS: Class of Service) を識別するTAG情報をSRAM4か  
ら読み出し、パケットに付加して出力する。

#### 【0036】

ここで、CAM3とSRAM4のデータ構成を図2に示す。図2Aに示すCAM  
3のデータ構成は、識別対象となる(I) IPアドレスと (II) ポート番号を対  
応付けて登録されている。

#### 【0037】

図2Bに示すSRAM4のデータ構成は、CAM3のIPアドレスの順に対応

して、(I) CoS特性番号、(II)入力物理ポート、(III) 出力物理ポート及び、(IV) CoS領域を対応付けている。(I) CoS特性番号は特性の内容が設定されているサービスクラス特性テーブルの番号、(II) 入力物理ポートは入力元物理ポートであり、(III) 出力物理ポートは出力物理ポート及び、(IV) CoS領域はパケットバッファメモリ 6 に割り当てるCoSの領域(容量)を示す組が登録されている。

#### 【0038】

したがって、パケット種別識別制御部 2 は多重化部 1 から入力するパケットのヘッダ部の情報が、CAM 3 に登録されている IP アドレス若しくはポート番号と一致するかを判断する。一致する場合は、SRAM 4 から対応する上記(I)～(IV) の情報をTAG情報として出力し、入力された該当のパケットに付加してバッファ管理制御部 5 に送る。

#### 【0039】

バッファ管理制御部 5 は、図 17 で説明した従来構成に対し、更に変換テーブル 13 を有している。

#### 【0040】

変換テーブル 13 の内容が図 3 に示される。図 2 B における SRAM 4 に設定された内容から、(III)出力物理ポートに対応して変換テーブル 13 に 0～M 個の出力物理ポートが定義され(①)、これを基準としてパケットバッファメモリ 6 の領域を割り当て (②、③、④)、0～M 個の CoS 特性番号 (⑤) との組み合わせが作成されている。パケットバッファメモリ 6 の領域の割り当てにおいて、CoS 領域は、パケットバッファメモリ 6 のスタートアドレス (③) とエンドアドレス(④)②) に交換されている。

#### 【0041】

これにより、パケットバッファメモリ 6 は、図 4 に示すような構成となる。図 4 において、①出力物理ポート番号 0～n に対して、②CoS番号が割り付けられている。図 4 の例では、ポート 1 に対して a 個、ポート 2 に対して b 個、ポート n に対して m 個の CoS 数を持つようにしている。ただし、CoS のそれぞれは、識別用の一の IP アドレスが対応し、従って、図 4 において、CoS 数の合計 (a+b+

…+m) は、N以下である。

#### 【0042】

ここで、ユーザは、次のような設定をネットワーク模擬のために予め設定する。

#### 【0043】

第1に、どのような特性をパケットに施すかを図5に示すようにサービスクラス特性テーブル8に設定する。0～M種のパケット制御動作を有するCoS特性が定義されている。

#### 【0044】

第2に、先に図2Aに示したように、CAM3に、受信側ポートを基準に、CoS識別のためのIPアドレスあるいはTCP/UDPポート番号を指定する。

#### 【0045】

第3に、先に図2Bに示したように、SRAM4に、0～NのIPアドレス即ち、各CoSに対し、どの特性を施すかを示すCoS特性番号(I)、入力された物理ポート(II)、出力先の物理ポート番号(III)と、更に、どれくらいのパケットバッファメモリ9のバッファ領域[CoS領域](IV)を確保するかをSRAM4に指定する(図2B、IV参照)。

#### 【0046】

一方、バッファ管理制御部5側では、先に図3に示したように、変換テーブルに13において、SRAM4の内容を出力物理ポートを基準に並び替え、パケットバッファメモリ9の割り当てを行う。その際、各CoS領域に対するスタートアドレスとエンドアドレスを決定する。

#### 【0047】

図6は、変換テーブル13及びサービスクラス特性テーブル8を除く、図1におけるバッファ管理制御部5の構成を更に詳細に示すものである。

#### 【0048】

図6において、ポインタリード/ライト制御部10のパケット数カウンタ33はパケットバッファメモリ6に格納されているパケット数をCoS単位に示すものである。管理ポインタ保持部34はCoS単位のパケットポインタ管理メモリ7の

管理ポインタ位置を示す。

#### 【0049】

パケット出力制御部 11 の転送制御部 35 はパケットバッファメモリ 6 から読み出されるパケットの転送を制御するシーケンサが実装されている。転送解析部 36 はパケット処理に関する設定内容に応じてパケット転送の可否判断を行う。

#### 【0050】

管理ポインタ移動量算出部 37 は、転送解析部 36 の転送判断に応じてポインタ移動量の算出を行う。タイムスタンプ保持部 38 は、パケット遅延動作を行う際にパケットポインタ管理メモリ 7 から読み出したタイムスタンプ値を格納するものであり、ポインタスタック部 39 は、パケット順序逆転／リルーティング動作を行う際に、後で転送するパケットの管理ポインタ値を一時的に格納するためのものである。

#### 【0051】

さらに、図 6 において、パケットリード/ライト制御部 9 は、パケットバッファアクセス制御部 31 を有する。CoS特性がTAG情報として付与されたパケットがパケット種別識別制御部 2 から転送されると、パケットバッファアクセス制御部 31 によりパケットバッファメモリ 6 に格納される（処理工程 P1）。

#### 【0052】

パケットバッファメモリ 6 に格納された後に、格納されたアドレスを示す転送ポインタが管理メモリアクセス制御部 32 を介してタイムスタンプと合わせて、パケットポインタ管理メモリ 7 に登録される。

#### 【0053】

パケットバッファメモリ 6 のCoS単位のパケット格納数は、パケット数カウンタ 33 に記録される。このパケット数カウンタ 33 の値を基に、管理メモリアクセス制御部 32 により、パケット出力制御部 11 の転送解析部 36 に対して転送可能なパケットがパケットバッファメモリ 6 に存在していることが通知される。

#### 【0054】

さらに、この転送可能なパケットの存在通知と設定されたCoS特性に応じて、パケット転送の可・不可および管理ポインタ保持部 34 に保持される管理ポイン



タの移動方向及び移動量が、転送解析部 3 6 により決定される。

#### 【 0 0 5 5 】

この解析結果により、パケットバッファメモリ 6 内のパケット転送制御およびパケットポインタ管理メモリ 7 に対する管理ポインタの動作制御が実施される。このような動作により各種パケット動作制御が実現されることになる。

#### 【 0 0 5 6 】

なお、パケットバッファメモリ 6 に格納される各パケットとパケットポインタ管理メモリ 7 の対応関係が、図 7 に示される。図 7 に示されるように、パケットポインタ管理メモリ 7 の管理ポインタで特定される各エントリ（タイムスタンプ # と転送ポインタ # が示される）と、パケットバッファメモリ 6 内の各パケットが 1 対 1 に関係付けられている。

#### 【 0 0 5 7 】

上記の構成によるパケット動作制御の概要を以下に説明する。

#### 【 0 0 5 8 】

図 1 に戻り、説明すると、0 ～ n ポートのネットワークから入力されるパケットは、多重化部 1 で多重化される。多重化されたパケットは、パケット識別制御部 2 へ送られる。

#### 【 0 0 5 9 】

パケット識別制御部 2 では、受信したパケットのヘッダから I P アドレスあるいは T C P / U D P ポート番号などを抽出し、C A M 3 により予め設定された I P アドレスあるいは T C P / U D P ポート番号と一致するかを検索し、現在受信中のパケットが C o S 対象パケットか否かを判断する。

#### 【 0 0 6 0 】

C A M 3 により予め設定された I P アドレスあるいは T C P / U D P ポート番号と一致した場合、それに対応した S R A M 4 の情報(図 2 B 参照)を読み出す。読み出された情報は、T A G 情報としてパケットの先頭に付加し、バッファ管理制御部 5 に渡される。

#### 【 0 0 6 1 】

ここで、変換テーブル 1 3 において、先に説明したように、図 2 B に示す S R

AM4の内容が、出力物理ポートを基準として、CoS番号、スタート及びエンドアドレスで特定されるパケットバッファメモリ6の格納領域、CoS特性番号の順に変換されている。

#### 【0062】

バッファ管理制御部5では、受信したパケットに対し、パケットリード／ライト制御部9によりTAG情報及び変換テーブル13を参照してパケットバッファメモリ6への書き込みアドレスを生成し、パケットバッファメモリ6への書き込みの制御を行う。

#### 【0063】

書き込みが完了すると、ポインタリード／ライト制御部10にパケットポインタ管理メモリ7への登録要求と共に、パケットの先頭アドレスを渡す。ポインタリード／ライト制御部10は、登録要求を受け付けると、パケットポインタ管理メモリ7へパケットの先頭アドレスの書き込みを行う。

#### 【0064】

パケット出力制御部11では、変換テーブル13の内容に応じて、各CoSに設定された特性を実行するため、パケットバッファメモリ6に格納されているパケットの何れの領域のパケットを読み出すか、その順番、時間などの管理を行い、読み出すべきCoSに対して、ポインタリード／ライト制御部10に読み出し要求を行う。

#### 【0065】

ポインタリード／ライト制御部10では、パケットポインタ管理メモリ7から、読み出し要求されたCoSの転送ポインタを読み出し、パケットリード／ライト制御部9に対してパケットの読み出し要求と共にパケットの転送ポインタ(先頭アドレス)を渡す。

#### 【0066】

パケットリード／ライト制御部9では、受け取ったパケットバッファメモリ6の転送ポインタからパケットを読み出し、読み出されたパケットを多重分離部12に送る。ついで、多重分離部12において、パケットは、各出力ポートに分離され、0～nポートのネットワークに出力される。

**【0067】**

ここで、バッファ管理制御部 5 の詳細な動作について、図 8 のバッファ管理制御部 5 の動作シーケンスに基づき、更に図 6 のバッファ管理制御部 5 の構成図を参照しながら説明する。

**【0068】**

パケットリード/ライト制御部 9 によりパケットバッファメモリ 6 へのパケット格納を制御する（処理工程 P 1）と、転送ポインタ登録要求をポインタリード/ライト制御部 10 に送る（処理工程 P 2）。

**【0069】**

この登録要求に従い転送ポインタがパケットポインタ管理メモリ 7 に登録され（処理工程 P 3）、転送ポインタ登録応答がパケットリード/ライト制御部 9 に返送される（処理工程 P 4）。

**【0070】**

ここで、複数の CoS 領域に転送ポインタ登録がある場合には、ラウンドロビン（round robin）により転送解析対象パケットが決定される。その後、パケット存在通知がパケット出力制御部 11 の転送解析部 36 の送られる（処理工程 P 6）。このときパケット存在通知には、CoS 番号が含まれているので、ポインタスタック部 39 に CoS ごとに転送ポインタが登録される。

**【0071】**

パケット存在通知を受けると、パケット出力制御部 11 からタイムスタンプ通知要求が送られる（処理工程 P 7）。ポインタリード/ライト制御部 10 は、タイムスタンプ通知要求を受けると、パケットポインタ管理メモリ 7 から図 7 に示したように転送ポインタと対で登録されている対応のタイムスタンプを読み出し（処理工程 P 8）、パケット出力制御部 11 に送る（処理工程 P 9）。送られたタイムスタンプは、先に送られたパケット存在通知に付加されている CoS 番号と共にタイムスタンプ保持部 38 に保持される。

**【0072】**

パケット出力制御部 11 の転送解析部 36 において、転送解析を行う（処理工程 P 10）。この転送解析部 36 における転送解析は、該当パケットの CoS 特性

およびタイムスタンプ値を元に、転送可／不可やエラー挿入などのパケット加工有無が判断される。

#### 【0073】

転送解析の結果として転送不可の場合は、パケット遅延制御において、装置内時刻とタイムスタンプとの遅延量が所定の遅延制御量に満たない場合である。

#### 【0074】

転送不可の場合、ポインタリード／ライト制御部10に転送不可通知が送られる（処理工程P11）。他の時刻における転送解析（処理工程P12）の結果として、転送可のパケットについては、ポインタリード／ライト制御部10へ管理ポインタ操作指示が送られ（処理工程P13）、パケットリード／ライト制御部9へ転送開始指示が発行される（処理工程P14）。これに基づき、パケットリード／ライト制御部9によりパケットバッファメモリ6からパケットを読み出し、パケット出力制御部11のパケット転送される（処理工程P15）。

#### 【0075】

なお、図8における処理は、図9に示すように並列に処理される。このため、装置内部バスの帯域が効率的に使用可能であり、ネットワークから高負荷のパケットが入力された場合においても、十分な性能が確保される。

#### 【0076】

次に、本発明による具体的な実施例を説明する。本発明における実施例として、図10にパケット識別制御部2の詳細ブロック図を、図11にCAM3（図11A）およびSRAM4（図11B）のデータ内容、図12にパケットバッファメモリ6の割り当て構成、図13にサービスクラス特性テーブル8及び、図14に変換テーブル13の内容をそれぞれ示す。

#### 【0077】

ここで、以下に説明する具体例では、物理ポート数を8本（0～7）、CoS識別数を最大32個、CoS特性数を最大32個としている。

#### 【0078】

図11に示す如く、最大32個のCoS識別数に対し、18個のCoS識別を行おうとする実施例である。全部で16種類（CoS特性番号0～15）のCoS特性を割り

当てている。使用しない S R A M 4 の領域(図 1 1 B)には、E N ビットに ‘0’ を設定することでこれを判断できるようにしている。

#### 【0 0 7 9】

また、入力物理ポート番号 3 に対しては、全て CoS 特性番号 7 を割り当てている。このように、図 1 1 に示す例では、複数の I P アドレス及び T C P / U D P ポート番号(図 1 1 A)に対し、同じ CoS 特性を施している。

#### 【0 0 8 0】

パケットバッファメモリ 6 に関しては、図 1 2 A に示す如く、パケットバッファメモリ 6 の割り当てを 3 2 個の固定領域としてあらかじめ分割している。さらに、それを最小の CoS 領域とし、S R A M 4 の CoS 領域を数値的に割り当て易いようにしている。

#### 【0 0 8 1】

この時、各最小 CoS 領域 (CoS ユニット) に、おのこのスタートアドレスとエンドアドレスを図 1 2 A に示すようにスタートアドレスとエンドアドレスにより一意的に割り当てることで、ユーザーの指定した CoS 領域とパケットバッファメモリ 6 のアドレスとを一意的に割り当てることが可能となる。

#### 【0 0 8 2】

本実施例において、割り当てられたパケットバッファメモリ 6 の構成は図 1 2 B のとおりとなる。

#### 【0 0 8 3】

例えば、図 1 1 A の C A M 3 のアドレス 6 (I P アドレス 7、ポート番号 7) と一致するパケットを考える。図 1 1 B の S R A M 4 のデータ内容及び、図 1 3 のサービスクラス特性テーブル 8 の内容より、物理ポート番号 1 から入力されたパケットの I P アドレス及び T C P / U D P ポート番号が、それぞれ「I P アドレス 7」、「ポート番号 7」であれば、CoS 特性番号 6 即ち、エラー発生率 4 0 % のエラー挿入と 3 0 0 m s の遅延挿入を同時に実施することになる。

#### 【0 0 8 4】

また、パケットバッファメモリ 6 には、3800000h ~ 3CFFFFFFh の領域を割り当てている (図 1 2 参照：ポート番号 7 で、CoS 領域が 3 である)。

**【0085】**

本実施例のように、大きな遅延時間を施すパケットに対しては、割り当て領域を広く確保することで、遅延時間を自由に設定することが可能となる。

**【0086】**

かかる実施例動作を以下に説明する。

**【0087】**

図10におけるパケット識別制御部2の詳細ブロック図中、CPU IF部21は図示しないCPUとのインタフェース機能を持つ。パケット転送制御部22はパケットの入出力、及び各タイミングを生成する。ヘッダ抽出部23は入力されたパケットからIPアドレスあるいはTCP/UDPポート番号を抽出する。マスク部24は、IPアドレス及びTCP/UDPポート番号のマスクを実施する。CAM3は32word×288bitの大きさを有する。SRAM4は32word×21bitの大きさを有する。TAGラッチ制御部25はTAG情報を生成し、TAGラッチ回路26に送る。セクタ27はTAGを出力するか、入力したパケットを出力するかを選択する回路である。

**【0088】**

このような構成のパケット識別制御部2では、入力されたパケットデータからIPアドレス抽出部23でIPアドレスを抽出し、マスク部24でマスク処理を施し、TCP/UDPポート番号などと合わせてCAM3に入力する。

**【0089】**

ここで、マスク処理とはIPアドレスの範囲特定のためにフィルタをかけるための処理である。本実施例では、CPUから設定された内容に応じて、指定されたビットを‘1’とすることで実現する。

**【0090】**

この時、CAM3に対しても同じようにマスクするビットを‘1’として設定しておく必要がある。IPアドレスのマスク同様、TCP/UDPポート番号に対しても、CAM3にall ‘1’を設定しておき、TCP/UDPポート番号の検索を行わない場合にはポート番号をall ‘1’にマスクしてCAM3に入力する。これによりIPアドレスのみの一致検出、IPアドレスとTCP/UDPポ-

ト番号の両方の一致検出、及びTCP/UDPポート番号のみの一致検出が可能となる。

#### 【0091】

CAM3において検索した結果を元に、一致したIPアドレス及びTCP/UDPポート番号が存在すれば、対応するSRAM4のデータを読み出す。読み出しデータにおいて設定されている入力物理ポートが今現在受信中のパケットの入力物理ポートと一致し、更にENビットが‘1’であれば、これをパケット識別の対象パケットとしてTAGを生成し、パケットの先頭に付加してバッファ管理制御部5へ渡す。

#### 【0092】

TAGの中には入力物理ポート、出力物理ポート、及びEN情報などを挿入し、バッファ管理制御部5においてパケットバッファメモリ6の書込みアドレス生成に使用される。

#### 【0093】

ここで、パケット動作制御の実施例として図15にはパケット遅延を発生させる場合の処理フローを、図16にはパケット順序逆転／リルーティングを発生させる場合の処理フローを示す。

#### 【0094】

図15に示すように、図6及び、図8のシーケンスフロー（処理工程P10、P12参照）により説明したように遅延対象パケットが識別された場合（処理工程P20）は、1回目の解析であるか否かを判断する（処理工程P21）。1回目の解析である場合（処理工程P21、Yes）パケットポインタ管理メモリ7からタイムスタンプ値を読み出し（処理工程P22）、1回目の解析でない場合（処理工程P21、No）タイムスタンプ保持部38からタイムスタンプ値を読み出す（処理工程P23）。

#### 【0095】

読み出されたタイムスタンプ値は、装置内基準時間と比較し、設定された遅延時間が経過しているかを判断する（処理工程P24）。

#### 【0096】

遅延時間が経過している場合には、管理ポインタ移動量算出部 3 7 で管理ポインタ保持部 3 4 の管理ポインタ値を 1 つ増加する（処理工程 P 2 5）。これにより、次パケットの転送解析へと移行する（処理工程 P 2 6）。

#### 【0 0 9 7】

遅延時間が経過していない場合には、パケットポインタ管理メモリ 7 から読み出されたタイムスタンプ値をタイムスタンプ保持部 3 8（図 6 参照）へ格納する。次の転送解析時には、タイムスタンプ保持部 3 8 の値が基準時間と比較される。このことにより、パケットポインタ管理メモリ 7 へのアクセス負荷が軽減されることになり、性能向上が図れる。

#### 【0 0 9 8】

さらに、図 1 6 にはパケット順序逆転またはリルーティング時の動作フローが示される。図 1 6 において、パケット種別識別制御部 2 により識別される CoS 特性番号に対応する動作制御の内容がサービスクラス特性テーブル 8 を参照して求められる。したがって、求められた動作制御が順序入れ替えであるパケットが識別されると（処理工程 P 3 0）、転送解析部 3 6（図 6 参照）でパケットバッファメモリ 6 に受信格納されたパケット数が順序入れ替えパケット数以上であるか否かが判断される（処理工程 P 3 1）。

#### 【0 0 9 9】

受信格納されたパケット数が順序入れ替えパケット数以上である（処理工程 P 1、Y e s）と、ポインタ移動量 3 7 により管理ポインタ保持部 3 4 にパケット入れ替え個数  $n$  分のポインタ移動量を通知し、管理ポインタ値を  $n$  加算させる（処理工程 P 3 2）。

対で、転送制御部 3 5 によりパケット転送が行なわれ（処理工程 P 3 3）、パケット入れ替え個数  $n$  分のパケットの転送が完了すると（処理工程 P 3 4、Y e s）、管理ポインタ保持部 4 における管理ポインタ値を  $n \times 2$  分元に戻すよ減算する（処理工程 P 3 5）。

#### 【0 1 0 0】

次いで、順序入れ替えにより転送が後になった  $n$  個分のパケットを転送する（処理工程 P 3.6）。 $n$  個分のパケット転送が終わると（処理工程 P 3 7、Y e s



）、管理ポインタ保持部4の管理ポインタ値をn加算して、以降通常転送に移行する（処理工程P38）。

#### 【0101】

このように、管理ポインタの加減算を行うことにより、受信順序とは異なる順序でパケットが転送されることになる。なお、この管理ポインタの加減算処理については、管理ポインタ保持部34において簡単なハードウェアにより実現が可能であるため、高速な転送制御が可能となる。

#### 【0102】

（付記1）

受信したパケットをバッファメモリに格納し、前記バッファメモリへのパケットの書込み及び、読み出し制御を行うパケット送受信装置における前記バッファメモリの管理方法であって、

受信するパケットのヘッダ部分に含まれるサービスクラス単位に、前記制御方法を設定し、

受信パケットの格納を行う前記バッファメモリにおける各サービスクラスについての割り当て領域を前記サービスクラスの設定数に応じて変更する

ことを特徴とするバッファメモリ管理方法。

#### 【0103】

（付記2）付記1において、

前記制御は、パケットに対する遅延、パケットロス、パケット順序逆転若しくは、エラー挿入であり、前記サービスクラスは、前記パケットのヘッダ部分に含まれるIPアドレス又は、TCP/UDPポート番号によって分類されることを特徴とするバッファメモリ管理方法。

#### 【0104】

（付記3）

受信パケットを格納するバッファメモリと、

前記バッファメモリへのパケットの書込み及び読み出し制御を行なう制御部と

、  
受信パケットのヘッダ部分に含まれるサービスクラスに対応したパケットの前

記制御方法を設定したサービスクラス特性テーブルと、

サービスクラスに対応した前記バッファメモリの割り当て領域記憶した変換部を有し、

該変換部は、前記バッファメモリの割り当て領域を前記サービスクラス特性テーブルにおけるサービスクラスの設定数に応じて変更することを特徴とするパケットバッファ管理システム。

#### 【0105】

(付記4)付記3において、

前記変換テーブルは、バッファメモリの割り当て領域をサービスクラス単位としたことを特徴とするパケットバッファ管理システム。

#### 【0106】

(付記5)付記3において、

前記パケットバッファに格納されたパケットの格納位置を示す転送ポインタおよびパケットが格納された時間を示すタイムスタンプ値を格納するための管理メモリを有し、

前記制御部により前記パケットバッファ内のパケット存在情報と前記タイムスタンプ値及び、前記サービスクラス特性テーブルに設定された制御方法に基づき受信パケットに対する制御を行うことを特徴とするパケットバッファ管理システム。

#### 【0107】

(付記6)付記5において、

前記制御部による制御方法として、前記タイムスタンプ値に基づく転送ポインタの移動により受信パケットの順序逆転およびルータの経路変更を行うことを特徴とするパケットバッファ管理システム。

#### 【0108】

(付記7)付記3において、

前記バッファメモリへのパケットの格納動作、パケット登録動作、転送ポインタリード動作、パケット転送解析動作の各動作を並列に処理することを特徴とす

るパケットバッファ管理システム。

【0109】

(付記8)付記5において、

前記パケットバッファへのパケットの格納時間を前記管理メモリにタイムスタンプとして格納し、パケット転送の解析時に前記タイムスタンプと装置内の基準時間と比較することにより転送可否を判断する手段を有し、

設定の遅延時間が経過していない場合に、前記タイムスタンプをサービスクラス単位に設けられるタイムスタンプバッファに格納し、以降の転送解析時には前記タイムスタンプバッファ内のタイムスタンプと基準時間の比較を行うことを特徴とするパケットバッファ管理システム。

【0110】

【発明の効果】

以上、図面に従い説明したように、本発明によれば、以下のような効果が期待できる。

1. サービスクラス (CoS) の各領域を割り当てる際、その範囲を個別に且つ自由に設定できる。例えば大きい遅延時間を施すパケットに対しては広い領域を割り当てるなど、特性の内容に応じてパケットバッファの物理容量を最大限利用できる。
2. サービスクラス (CoS) 識別の数を全体でN個とし、物理ポート数や特性の種類に限定されない。
3. 1種類のサービスクラス (CoS) 特性に対して、複数のCoS識別用IPアドレスを割り当てられる。
4. 擬似ネットワークで実現するパケットの動作制御を簡単な算術演算にて並列動作させることが可能であり、比較的簡単なハードウェア回路により、高性能なパケット動作制御が可能となる。

【0111】

上記のように、本発明によれば、広帯域ネットワークにおけるパケットの複雑な動作を、比較的簡単なハードウェア構成により高い処理性能で実現することが可能となり、またユーザーの要望に応じて柔軟にパケット操作の内容を設定／実

現することも可能となるため、エンドユーザにおける通信・通話品質の検証／確保、およびIPネットワークの品質向上に寄与するところが大きい。

【図面の簡単な説明】

【図 1】

本発明のバッファ管理方法を適用する、ネットワーク品質を模擬試験する模擬装置の実施の形態例ブロック図である。

【図 2】

CAMおよびSRAMのデータ構成を示す図である。

【図 3】

変換テーブル 13 の内容を示す図である。

【図 4】

パケットバッファメモリ 6 の構成を示す図である。

【図 5】

サービスクラス特性テーブルの設定の一例を示す図である。

【図 6】

変換テーブル 13 及びサービスクラス特性テーブル 8 を除く、図 1 におけるバッファ管理制御部 5 の構成を更に詳細に示す図である。

【図 7】

パケットバッファメモリ 6 に格納される各パケットとパケットポインタ管理メモリ 7 の対応関係を示す図である。

【図 8】

バッファ管理制御部 5 の動作シーケンスを示す図である。

【図 9】

図 8 における並列処理を説明する図である。

【図 10】

パケット識別制御部 2 の詳細ブロック図である。

【図 11】

CAM 3 (図 11 A) 及び SRAM 4 (図 11 B) のデータ内容を示す図である。

【図 12】

パケットバッファメモリ 6 の割り当て構成を示す図である。

【図 13】

サービスクラス特性テーブル 8 の内容を示す図である。

【図 14】

変換テーブル 13 の内容を示す図である。

【図 15】

パケット動作制御の実施例としてパケット遅延を発生させる場合の処理フローを示す図である。

【図 16】

パケット動作制御の実施例としてパケット順序逆転／リルーティングを発生させる場合の処理フローを示す図である。

【図 17】

パケットバッファを用いたネットワークを構成するルータ相当の装置の構成ブロックを示す図である。

【図 18】

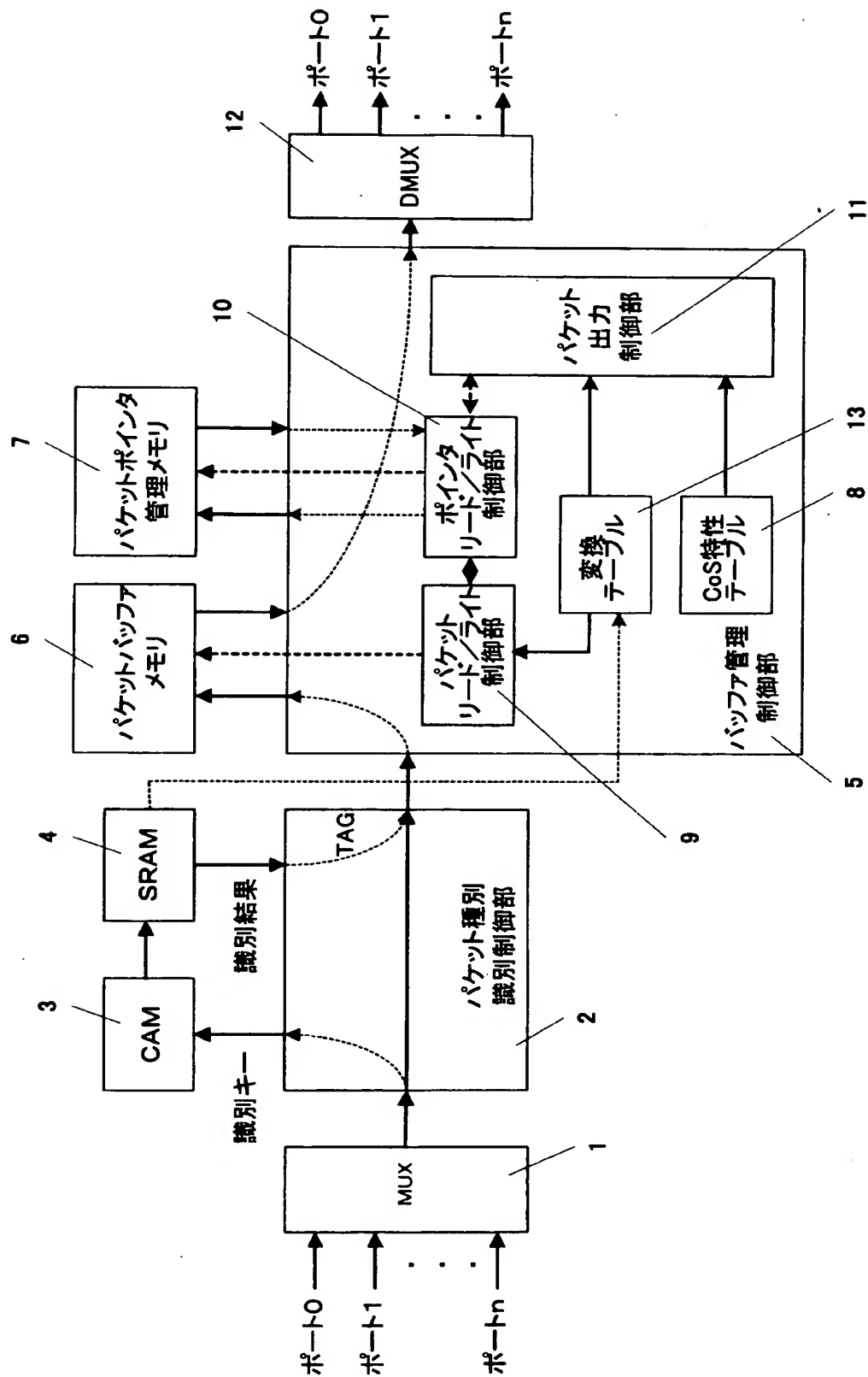
図 17 におけるパケットバッファメモリ 6 の構成を示す図である。

【符号の説明】

- 1 多重化部
- 2 パケット種別識別制御部
- 3 CAM
- 4 SRAM
- 5 バッファ管理制御部
- 6 パケットバッファメモリ
- 7 パケットポインタ管理メモリ
- 8 サービスクラス特性テーブル
- 9 パケットリード/ライト制御部
- 10 ポインタリード/ライト制御部
- 11 パケット出力制御部
- 12 多重分離部

1 3 変換テーブル

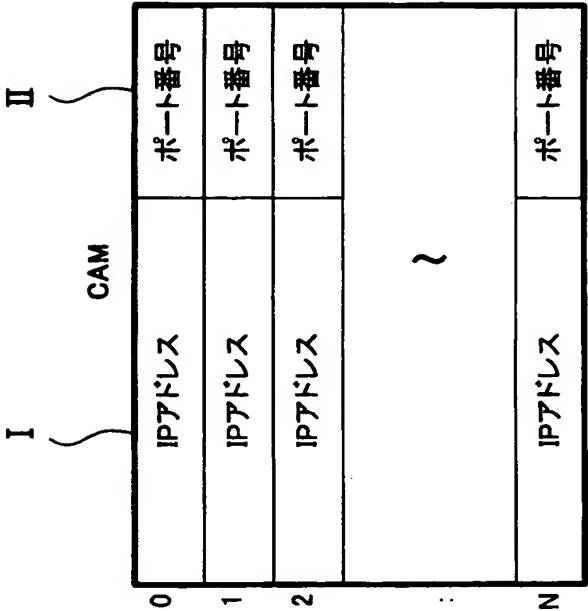
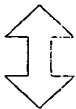
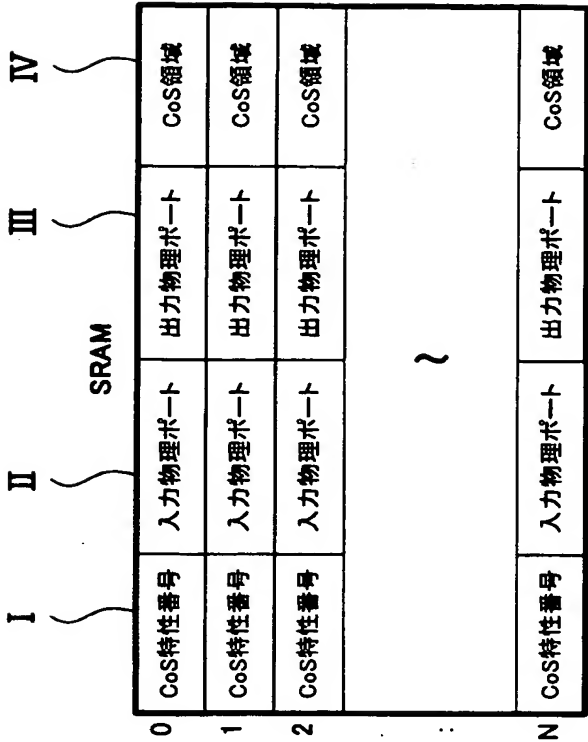
【書類名】 図面  
【図 1】



本発明の原理説明図

【図 2】

図2B



CAMおよびSRAMのデータ構成図

図2A

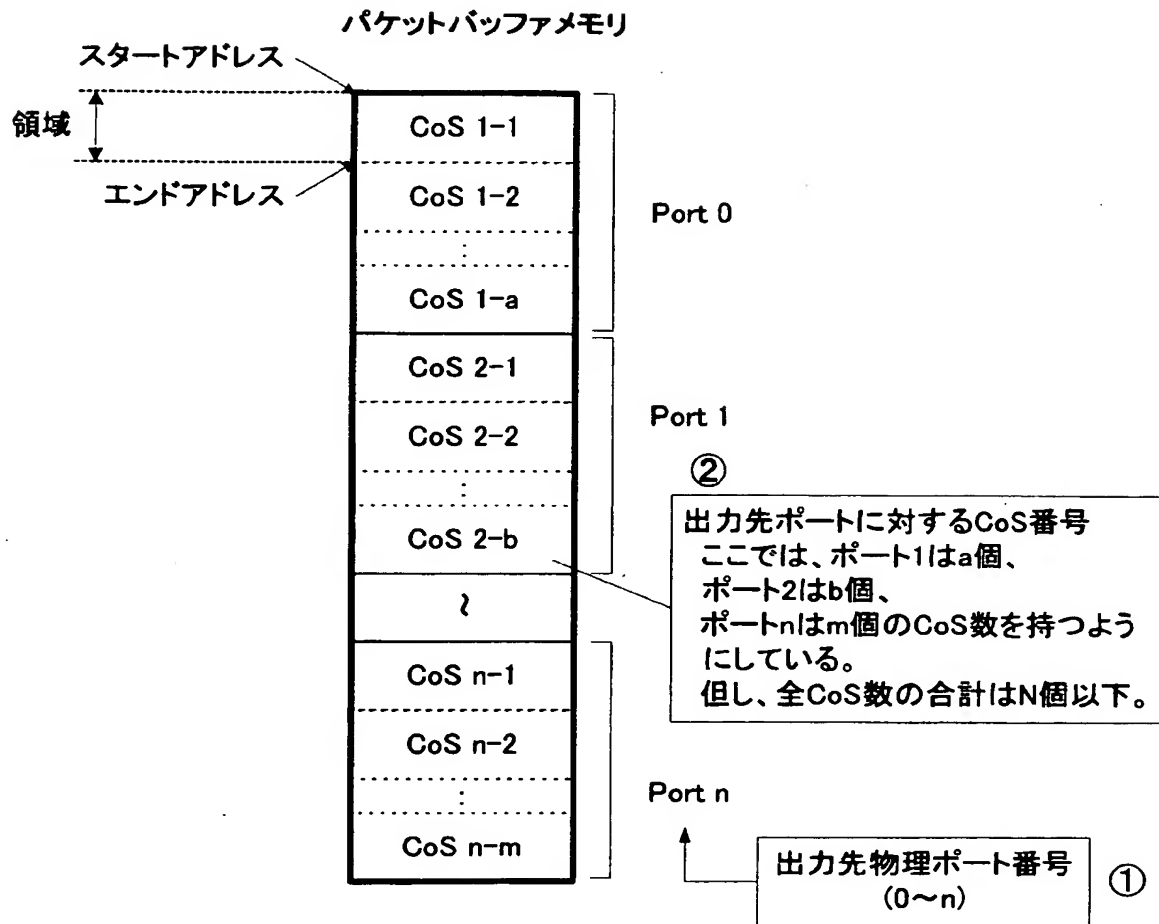


【図 3】

| ①     | ②              | ③        | ④       | ⑤       |
|-------|----------------|----------|---------|---------|
| 出力ポート | 出力ポート<br>CoS番号 | スタートアドレス | エンドアドレス | CoS特性番号 |
| 出力ポート | 出力ポート<br>CoS番号 | スタートアドレス | エンドアドレス | CoS特性番号 |
| 出力ポート | 出力ポート<br>CoS番号 | スタートアドレス | エンドアドレス | CoS特性番号 |
| ...   |                |          |         |         |
| M     | 出力ポート          | スタートアドレス | エンドアドレス | CoS特性番号 |

変換テーブル

【図 4】



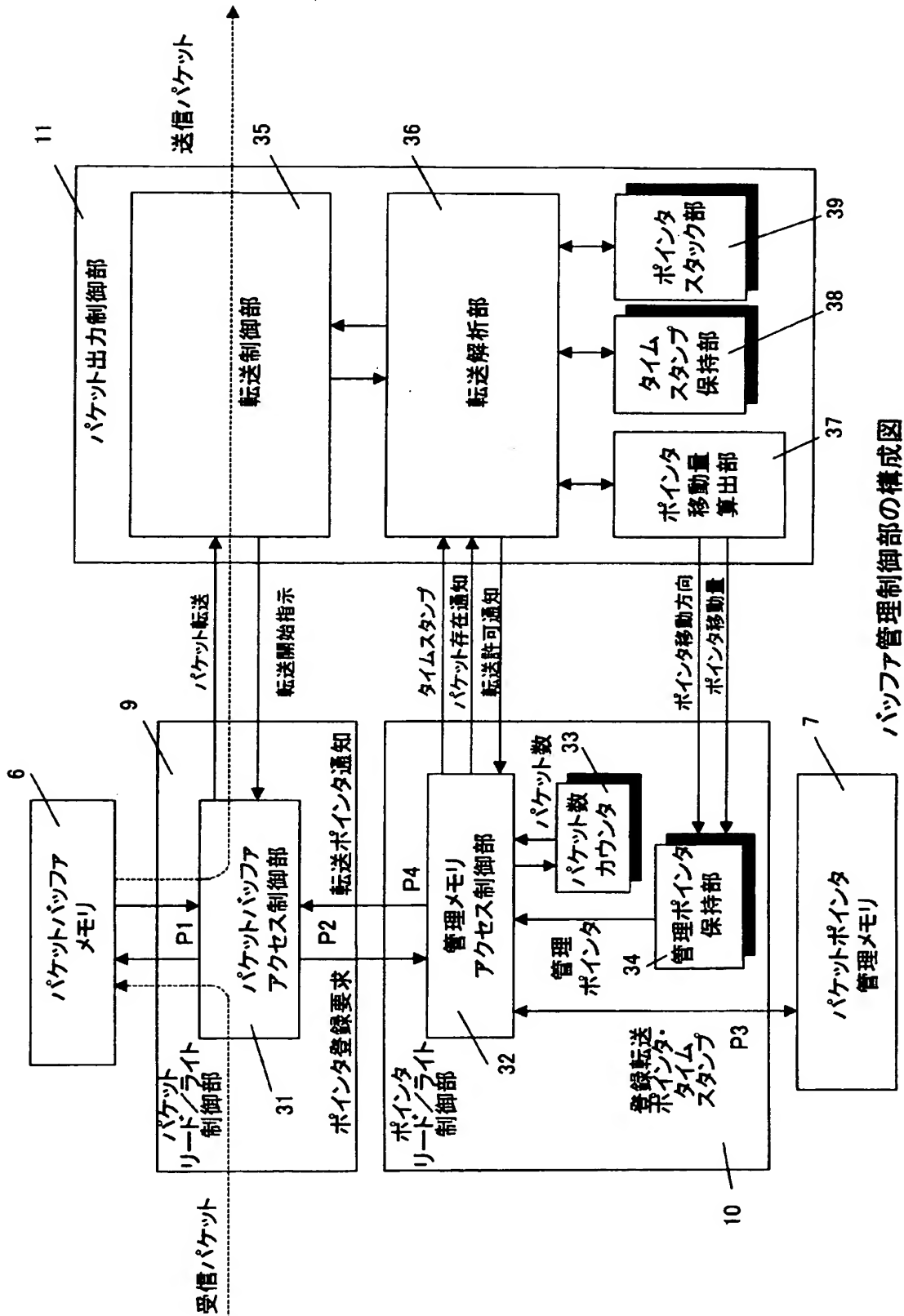
パケットバッファの構成図

【図 5】

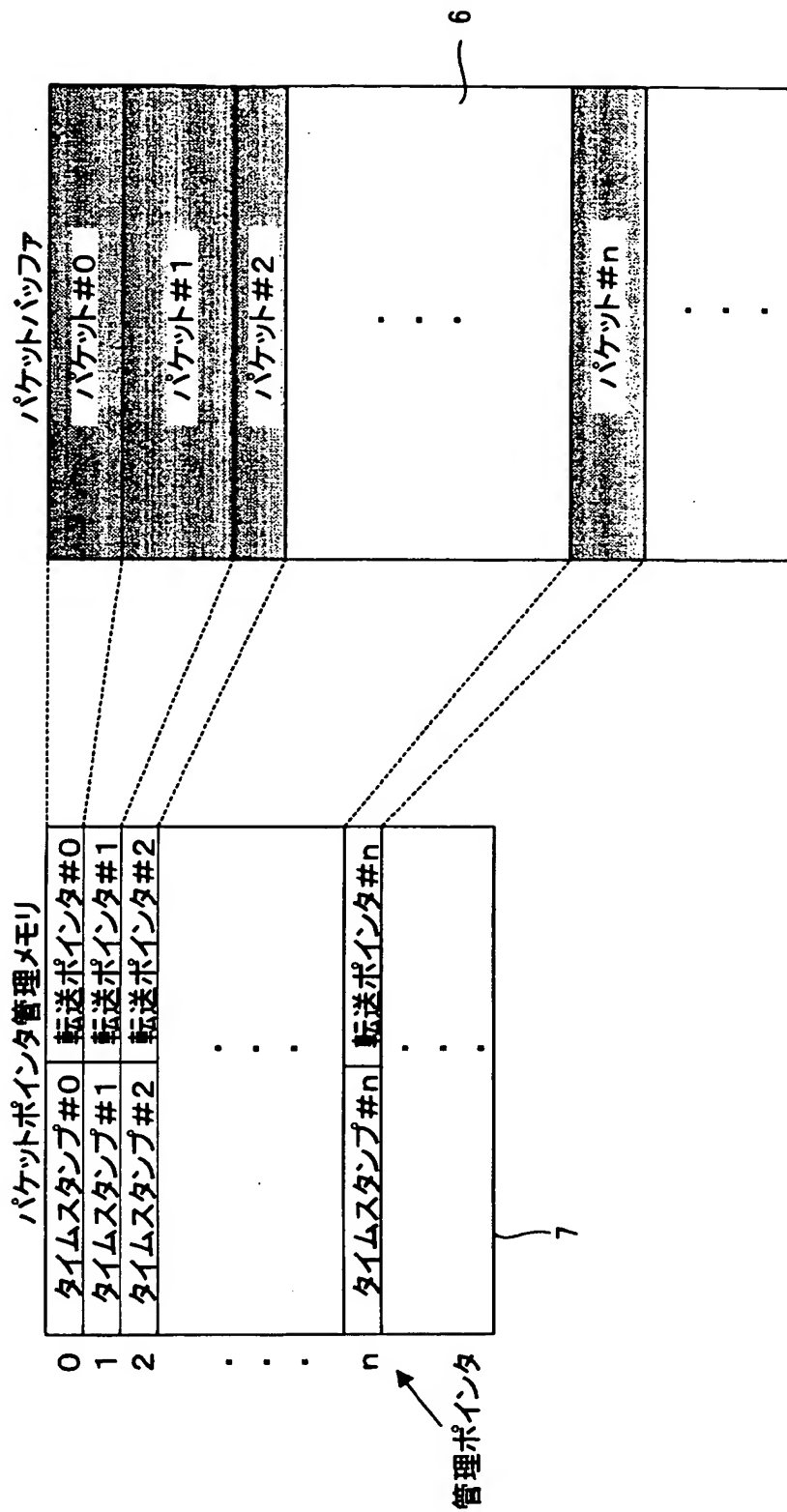
|   |                                  |
|---|----------------------------------|
| 0 | 特性の内容 (ロス/エラー挿入/遅延挿入/リレート,etc..) |
| 1 | 特性の内容 (ロス/エラー挿入/遅延挿入/リレート,etc..) |
| 2 | 特性の内容 (ロス/エラー挿入/遅延挿入/リレート,etc..) |
| ⋮ | ⋮                                |
| M | 特性の内容 (ロス/エラー挿入/遅延挿入/リレート,etc..) |

Cos特性テーブル

【図 6】

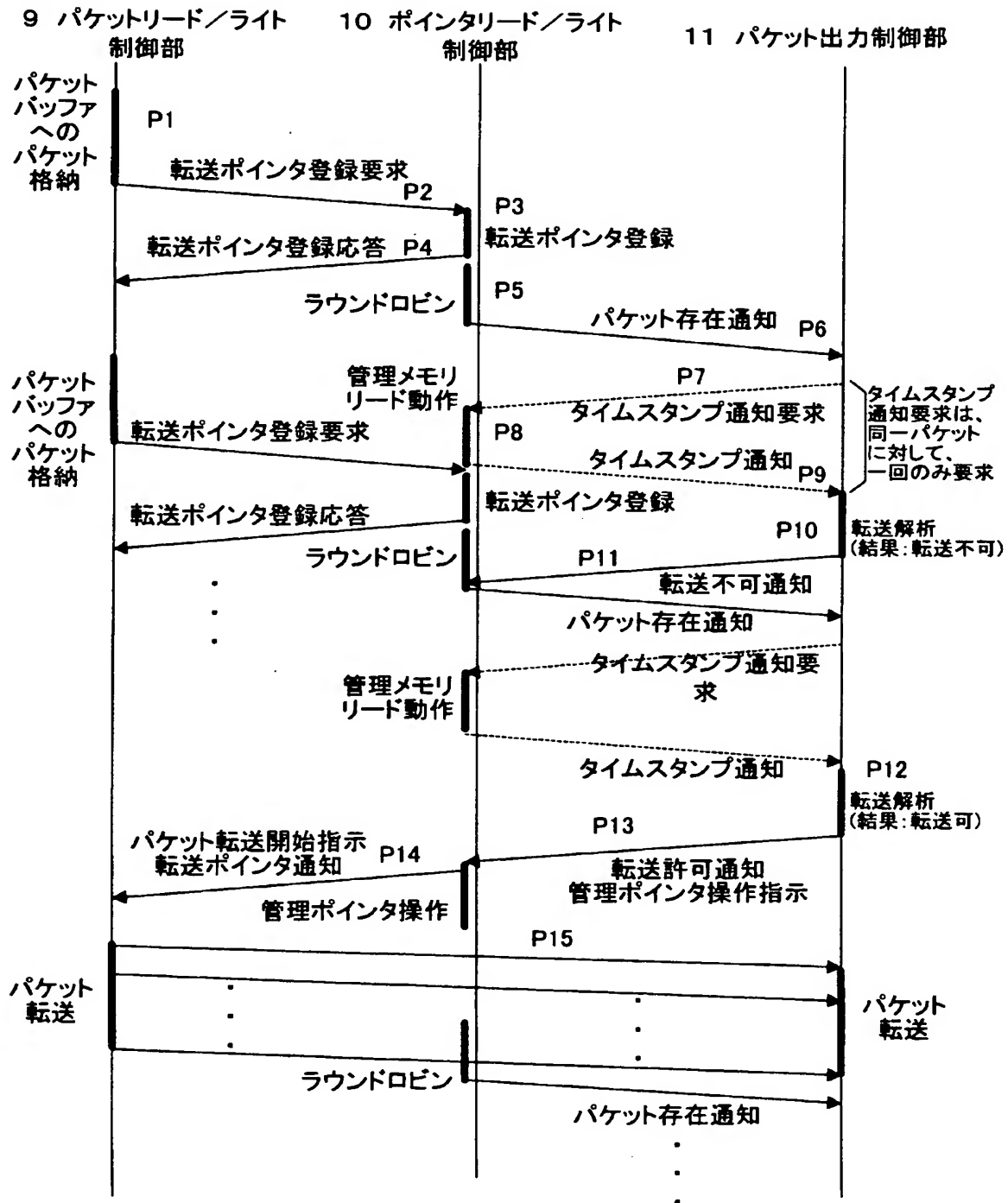


【图 7】

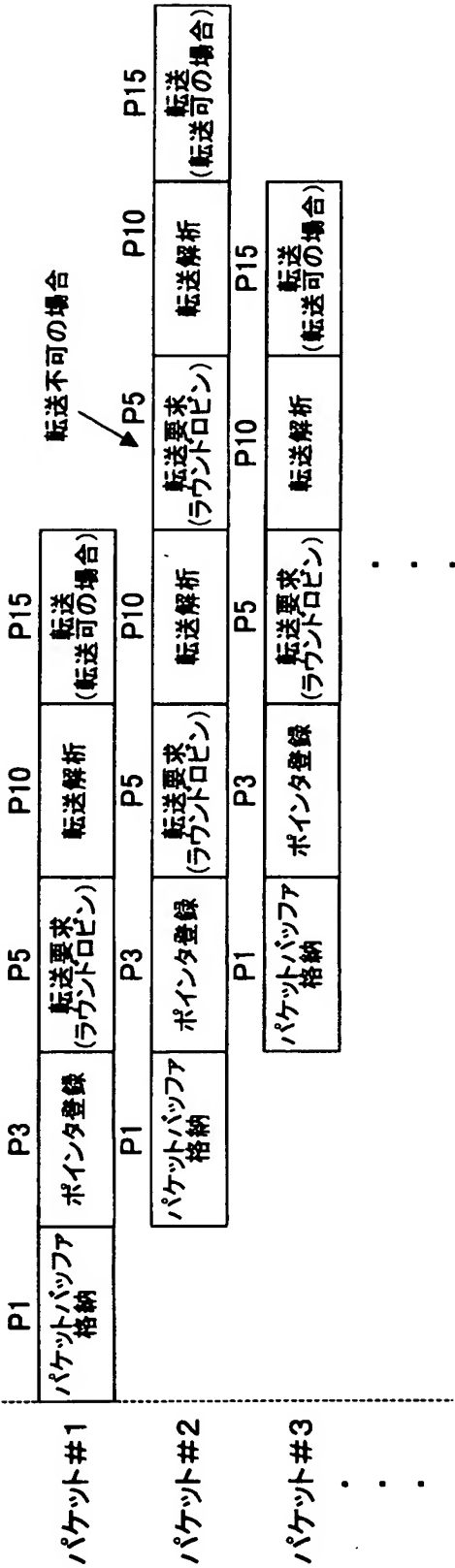


## ポインタ管理メモリとパケットバッファの関係

【図 8】

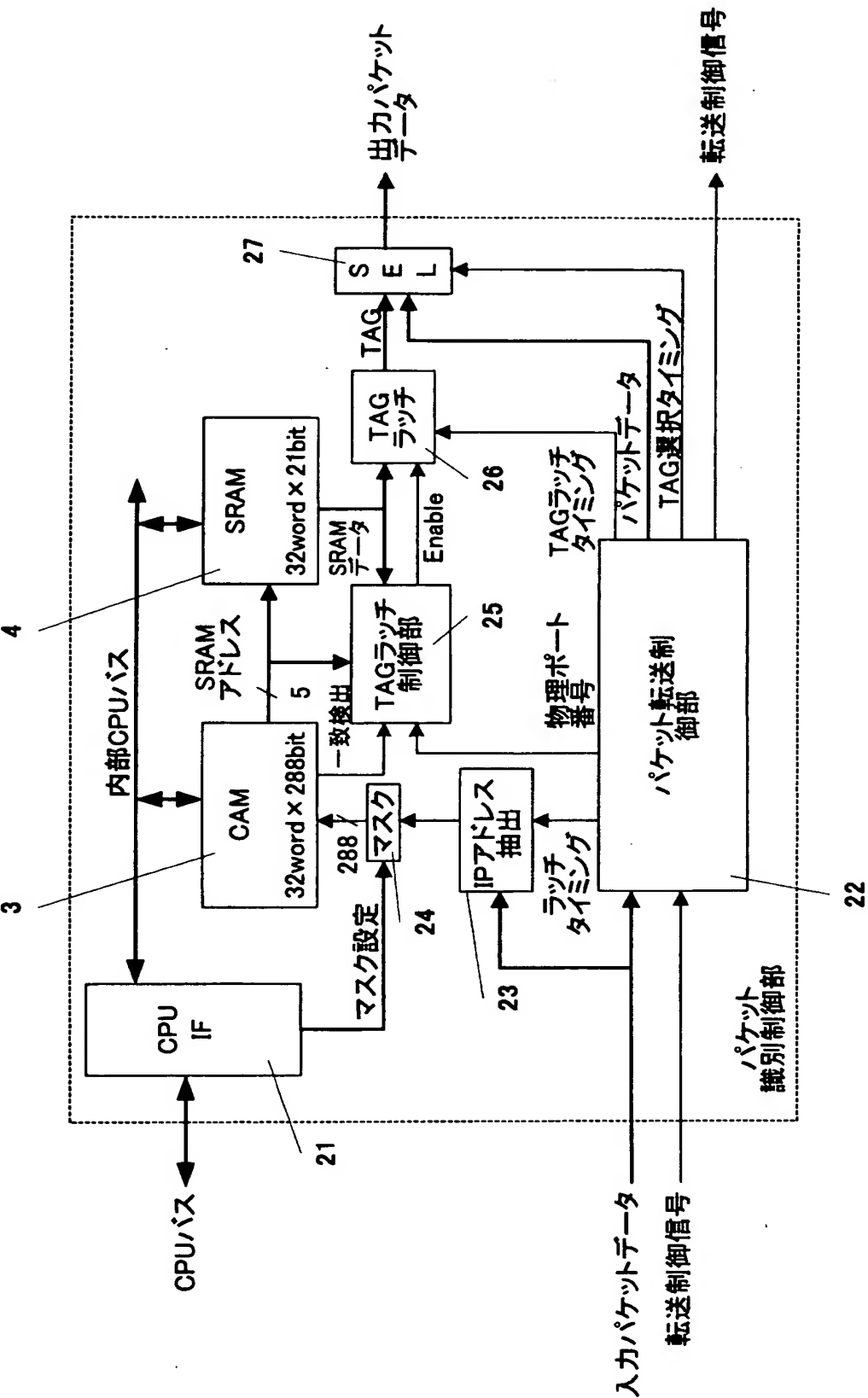


【図 9】



バッファ管理制御の並列処理

【図 10】



一実施例におけるパケット識別制御部の詳細ブロック図



【図 11】

図11B

| SRAM |       |         |           |            |       |         |           |            |       |         |           |            |       |
|------|-------|---------|-----------|------------|-------|---------|-----------|------------|-------|---------|-----------|------------|-------|
| 1ビット |       | 6ビット    |           | 4ビット       |       | 4ビット    |           | 6ビット       |       | 4ビット    |           | 6ビット       |       |
| アドレス | ENビット | CoS特性番号 | 入力物理ポート番号 | 出力先物理ポート番号 | CoS領域 | CoS特性番号 | 入力物理ポート番号 | 出力先物理ポート番号 | CoS領域 | CoS特性番号 | 入力物理ポート番号 | 出力先物理ポート番号 | CoS領域 |
| 0    | 1     | 0       | 0         | 3          | 3     | 1       | 1         | 0          | 3     | 1       | 1         | 0          | 3     |
| 1    | 1     | 1       | 0         | 3          | 1     | 2       | 0         | 3          | 2     | 1       | 2         | 0          | 2     |
| 2    | 1     | 2       | 0         | 3          | 1     | 3       | 0         | 4          | 1     | 3       | 0         | 4          | 1     |
| 3    | 1     | 3       | 0         | 4          | 1     | 4       | 0         | 5          | 3     | 1       | 4         | 0          | 3     |
| 4    | 1     | 4       | 0         | 5          | 1     | 5       | 1         | 6          | 1     | 5       | 1         | 6          | 1     |
| 5    | 1     | 5       | 1         | 6          | 1     | 6       | 1         | 7          | 3     | 1       | 6         | 1          | 3     |
| 6    | 1     | 6       | 1         | 7          | 3     | 7       | 3         | 0          | 1     | 7       | 3         | 0          | 1     |
| 7    | 1     | 7       | 3         | 0          | 1     | 8       | 4         | 1          | 1     | 8       | 4         | 1          | 1     |
| 8    | 1     | 7       | 3         | 0          | 2     | 9       | 4         | 1          | 4     | 9       | 4         | 1          | 4     |
| 9    | 1     | 7       | 3         | 4          | 4     | 10      | 4         | 6          | 1     | 10      | 4         | 6          | 1     |
| 10   | 1     | 8       | 4         | 1          | 1     | 11      | 4         | 6          | 1     | 11      | 4         | 6          | 1     |
| 11   | 1     | 9       | 4         | 1          | 4     | 12      | 5         | 1          | 1     | 12      | 5         | 1          | 1     |
| 12   | 1     | 10      | 4         | 6          | 1     | 13      | 6         | 1          | 1     | 13      | 6         | 1          | 1     |
| 13   | 1     | 11      | 4         | 6          | 1     | 14      | 7         | 4          | 1     | 14      | 7         | 4          | 1     |
| 14   | 1     | 12      | 5         | 1          | 1     | 15      | 7         | 7          | 1     | 15      | 7         | 7          | 1     |
| 15   | 1     | 13      | 6         | 1          | 1     | 16      | 7         | 7          | 1     | 16      | 7         | 7          | 1     |
| 16   | 1     | 14      | 7         | 4          | 1     | 17      | 7         | 7          | 1     | 17      | 7         | 7          | 1     |
| 17   | 1     | 15      | 7         | 7          | 1     | 18      | 7         | 7          | 1     | 18      | 7         | 7          | 1     |
| 18   | 0     | 未定義     |           |            |       |         |           |            |       |         |           |            |       |
| :    | :     | 未定義     |           |            |       |         |           |            |       |         |           |            |       |
| 31   | 0     | 未定義     |           |            |       |         |           |            |       |         |           |            |       |

32種類のうち、16種類の特性を割り当てている

設定内容の有効/無効を示す

トータル32

図11A

| CAM    |          | CAM          |         |
|--------|----------|--------------|---------|
| 256ビット |          | 32ビット        |         |
| アドレス   | IPアドレス   | TCP/UDPポート番号 | ポート番号   |
| 0      | IPアドレス1  | ポート番号1       | ポート番号1  |
| 1      | IPアドレス2  | ポート番号2       | ポート番号2  |
| 2      | IPアドレス3  | ポート番号3       | ポート番号3  |
| 3      | IPアドレス4  | ポート番号4       | ポート番号4  |
| 4      | IPアドレス5  | ポート番号5       | ポート番号5  |
| 5      | IPアドレス6  | ポート番号6       | ポート番号6  |
| 6      | IPアドレス7  | ポート番号7       | ポート番号7  |
| 7      | IPアドレス8  | ポート番号8       | ポート番号8  |
| 8      | IPアドレス9  | ポート番号9       | ポート番号9  |
| 9      | IPアドレス10 | ポート番号10      | ポート番号10 |
| 10     | IPアドレス11 | ポート番号11      | ポート番号11 |
| 11     | IPアドレス12 | ポート番号12      | ポート番号12 |
| 12     | IPアドレス13 | ポート番号13      | ポート番号13 |
| 13     | IPアドレス14 | ポート番号14      | ポート番号14 |
| 14     | IPアドレス15 | ポート番号15      | ポート番号15 |
| 15     | IPアドレス16 | ポート番号16      | ポート番号16 |
| 16     | IPアドレス17 | ポート番号17      | ポート番号17 |
| 17     | IPアドレス18 | ポート番号18      | ポート番号18 |
| 18     | 未定義      |              |         |
| :      |          |              |         |
| 31     |          |              |         |

一実施例におけるCAMおよびSRAMデータの内容

図12A

(a) CoS領域の最小の区切り

| スタートアドレス | エンドアドレス   | パケットバッファメモリ |
|----------|-----------|-------------|
| 000000h  | 01FFFFFFh | 0           |
| 020000h  | 03FFFFFFh | 1           |
| 040000h  | 05FFFFFFh | 2           |
| 060000h  | 07FFFFFFh | 3           |
| 080000h  | 09FFFFFFh | 4           |
| 0A0000h  | 0BFFFFFFh | 5           |
| 0C0000h  | 0DFFFFFFh | 6           |
| 0E0000h  | 0FFFFFFh  | 7           |
| 100000h  | 11FFFFFFh | 8           |
| 120000h  | 13FFFFFFh | 9           |
| 140000h  | 15FFFFFFh | 10          |
| 160000h  | 17FFFFFFh | 11          |
| 180000h  | 19FFFFFFh | 12          |
| 1A0000h  | 1BFFFFFFh | 13          |
| 1C0000h  | 1DFFFFFFh | 14          |
| 1E0000h  | 1FFFFFFh  | 15          |
| 200000h  | 21FFFFFFh | 16          |
| 220000h  | 23FFFFFFh | 17          |
| 240000h  | 25FFFFFFh | 18          |
| 260000h  | 27FFFFFFh | 19          |
| 280000h  | 29FFFFFFh | 20          |
| 2A0000h  | 2BFFFFFFh | 21          |
| 2C0000h  | 2DFFFFFFh | 22          |
| 2E0000h  | 2FFFFFFh  | 23          |
| 300000h  | 31FFFFFFh | 24          |
| 320000h  | 33FFFFFFh | 25          |
| 340000h  | 35FFFFFFh | 26          |
| 360000h  | 37FFFFFFh | 27          |
| 380000h  | 39FFFFFFh | 28          |
| 3A0000h  | 3BFFFFFFh | 29          |
| 3C0000h  | 3DFFFFFFh | 30          |
| 3E0000h  | 3FFFFFFh  | 31          |

CoSユニット番号

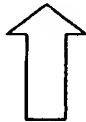
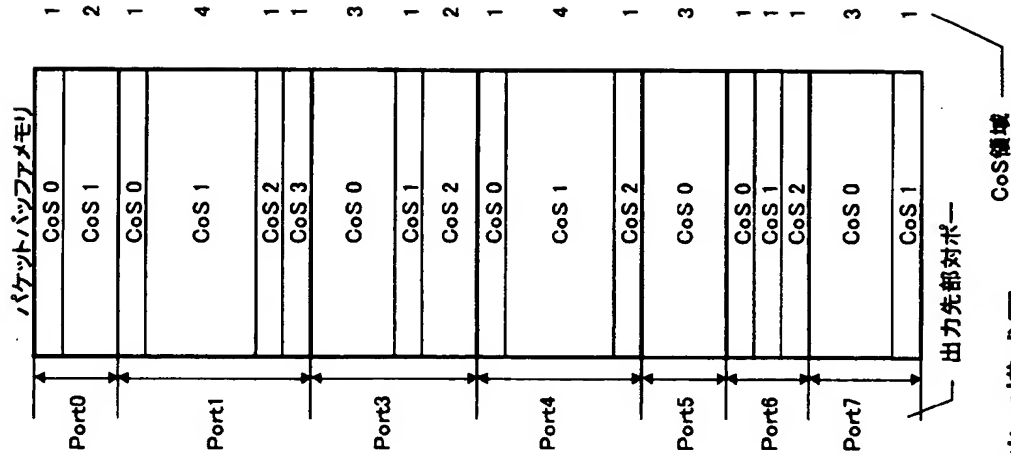


図12B

(b) SRAM設定内容に対応した実際の割り当て



一実施例におけるパケットバッファメモリの割り当て構成図

【図 1 2】

【図 1 3】

| No. | パケットロス |     | エラー挿入 |        | パケット重複 |     | 遅延挿入 |       |
|-----|--------|-----|-------|--------|--------|-----|------|-------|
|     | EN     | ロス率 | EN    | エラー発生率 | EN     | 重複率 | EN   | 遅延時間  |
| 0   | 0      | -   | 0     | -      | 0      | -   | 1    | 100ms |
| 1   | 0      | -   | 0     | -      | 0      | -   | 1    | 1ms   |
| 2   | 0      | -   | 0     | -      | 0      | -   | 1    | 50ms  |
| 3   | 0      | -   | 1     | 10%    | 0      | -   | 0    | -     |
| 4   | 0      | -   | 1     | 20%    | 0      | -   | 1    | 100ms |
| 5   | 0      | -   | 1     | 30%    | 0      | -   | 1    | 1ms   |
| 6   | 0      | -   | 1     | 40%    | 0      | -   | 1    | 300ms |
| 7   | 0      | -   | 1     | 50%    | 1      | 10% | 1    | 1ms   |
| 8   | 0      | -   | 1     | 50%    | 1      | 10% | 0    | -     |
| 9   | 1      | 10% | 1     | 50%    | 1      | 10% | 1    | 800ms |
| 10  | 1      | 10% | 1     | 50%    | 1      | 20% | 0    | -     |
| 11  | 1      | 10% | 0     | -      | 1      | 20% | 0    | -     |
| 12  | 1      | 20% | 0     | -      | 1      | 20% | 0    | -     |
| 13  | 1      | 20% | 1     | 10%    | 1      | 20% | 0    | -     |
| 14  | 1      | 20% | 1     | 20%    | 1      | 30% | 0    | -     |
| 15  | 1      | 20% | 0     | -      | 0      | -   | 0    | -     |
| 16  | 未定義    |     |       |        |        |     |      |       |
| .   |        |     |       |        |        |     |      |       |
| 31  |        |     |       |        |        |     |      |       |

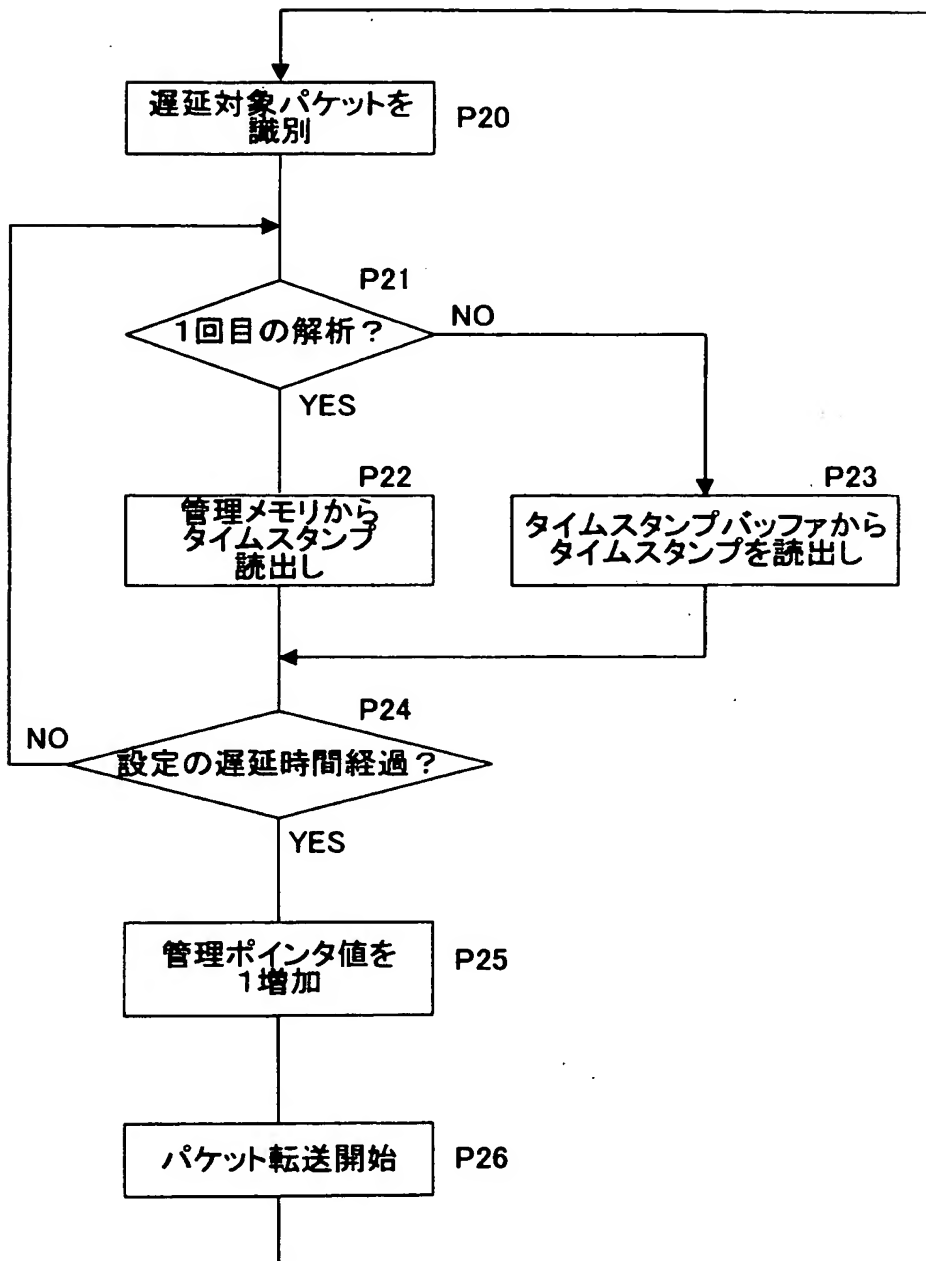
一実施例におけるCos特性テーブルの内容

【図 1 4】

| No. | 出力先物理ポート番号 | DEQ CoS番号 | STARTアドレス | ENDアドレス   | CoS特性番号 |
|-----|------------|-----------|-----------|-----------|---------|
| 0   | 0          | 0         | 0000000h  | 01FFFFFFh | 7       |
| 1   | 0          | 1         | 0200000h  | 05FFFFFFh | 7       |
| 2   | 1          | 0         | 0600000h  | 07FFFFFFh | 8       |
| 3   | 1          | 1         | 0800000h  | 0EFFFFFFh | 9       |
| 4   | 1          | 2         | 1000000h  | 11FFFFFFh | 12      |
| 5   | 1          | 3         | 1200000h  | 13FFFFFFh | 13      |
| 6   | 3          | 0         | 1400000h  | 19FFFFFFh | 0       |
| 7   | 3          | 1         | 1A00000h  | 1AFFFFFFh | 1       |
| 8   | 3          | 2         | 1C00000h  | 1EFFFFFFh | 2       |
| 9   | 4          | 0         | 2000000h  | 21FFFFFFh | 3       |
| 10  | 4          | 1         | 2200000h  | 29FFFFFFh | 7       |
| 11  | 4          | 2         | 2A00000h  | 2AFFFFFFh | 14      |
| 12  | 5          | 0         | 2C00000h  | 31FFFFFFh | 4       |
| 13  | 6          | 0         | 3200000h  | 33FFFFFFh | 5       |
| 14  | 6          | 1         | 3400000h  | 35FFFFFFh | 10      |
| 15  | 6          | 2         | 3600000h  | 37FFFFFFh | 11      |
| 16  | 7          | 0         | 3800000h  | 3CFFFFFFh | 6       |
| 17  | 7          | 1         | 3E00000h  | 3EFFFFFFh | 15      |
| 18  | 未定義        |           |           |           |         |
| :   |            |           |           |           |         |
| 31  |            |           |           |           |         |

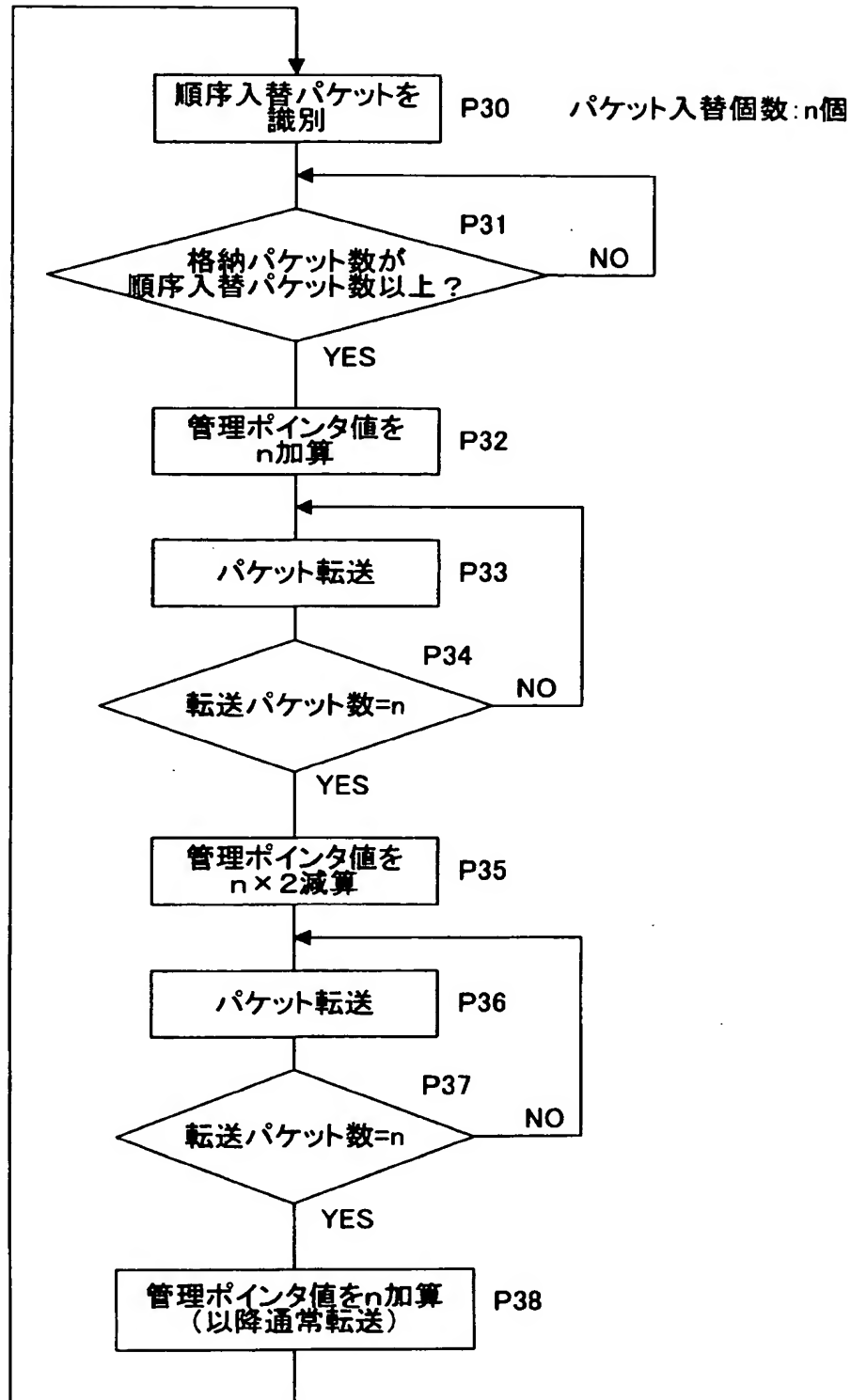
—実施例における変換テーブルの内容

【図 15】



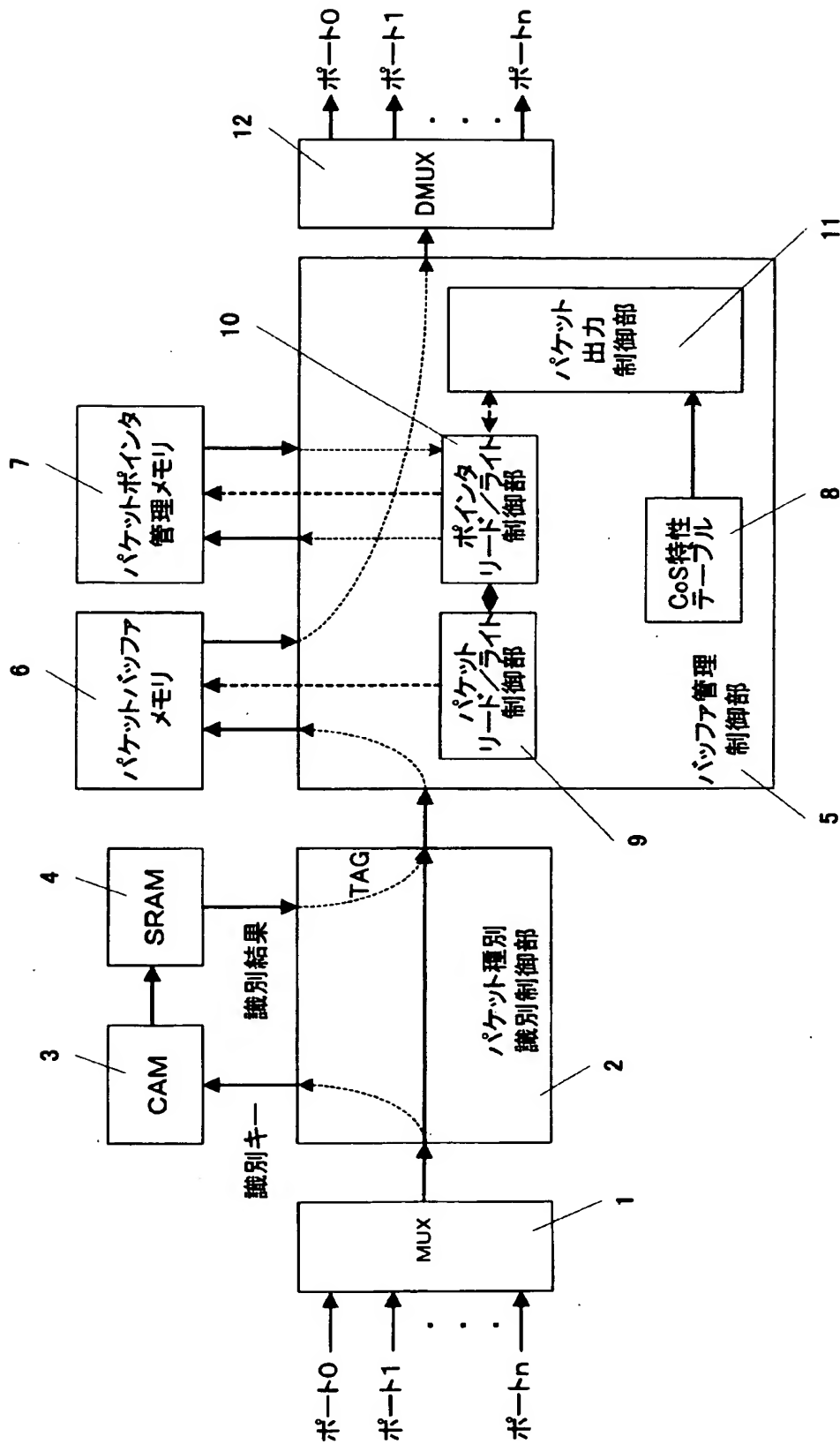
パケット遅延発生時の動作フロー

【図16】



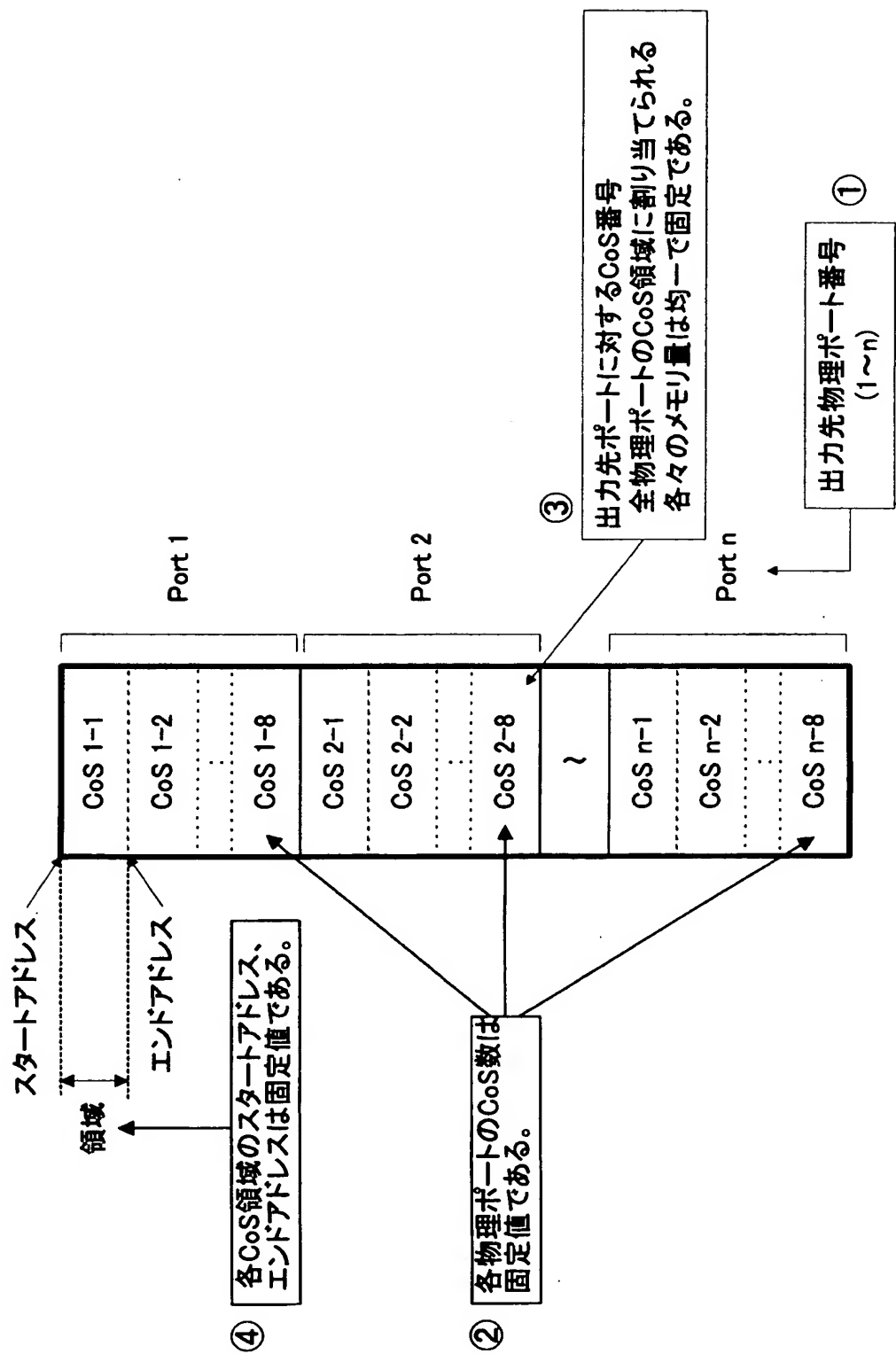
パケット順序逆転/リルーティング発生時の動作フロー

【図 17】



従来の構成図

【図 18】



従来のパケットバッファ構成図



**【書類名】 要約書****【要約】**

**【課題】** バッファメモリのハードウェアリソースを最大限に活用することを可能とし、設定された使用物理ポート数あるいはサービスクラス (CoS) 領域数に最適なパケットバッファ管理を提供する。

**【解決手段】** 受信したパケットをバッファメモリに格納し、前記バッファメモリへのパケットの書込み及び、読み出し制御を行うパケット送受信装置における前記バッファメモリの管理方法であって、受信するパケットのヘッダ部分に含まれるサービスクラス単位に、前記制御方法を設定し、受信パケットの格納を行う前記バッファメモリにおける各サービスクラスについての割り当て領域を前記サービスクラスの設定数に応じて変更する。

**【選択図】 図 1**

特願 2 0 0 2 - 3 4 4 4 2 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社